

ARITHMETIC CIRCUIT AND ITS ERROR DETECTING METHOD THEREFOR

Publication number: JP2002318706

Publication date: 2002-10-31

Inventor: KAWAGUCHI TADAHARU

Applicant: NEC COMPUTERTECHNO LTD

Classification:

- International: G06F11/18; G06F11/16; G06F11/22; G06F11/18;
G06F11/16; G06F11/22; (IPC1-7): G06F11/18

- European:

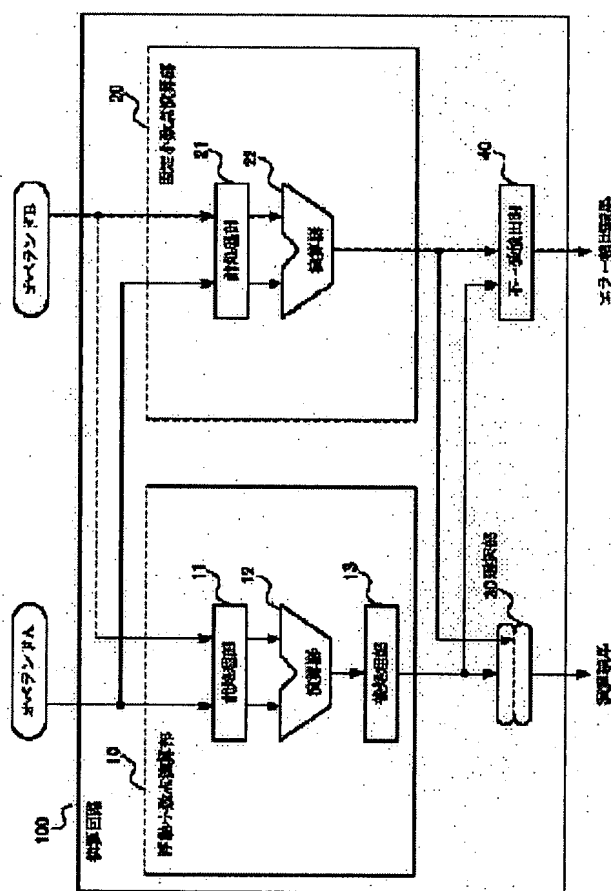
Application number: JP20010122141 20010420

Priority number(s): JP20010122141 20010420

Report a data error here

Abstract of JP2002318706

PROBLEM TO BE SOLVED: To provide an error detecting method for detecting the illegality of operation in an arithmetic circuit without newly requiring special hardware and without delaying the operation. **SOLUTION:** In an arithmetic circuit 100 for executing determined operation and outputting the arithmetic result by accepting the input of one or a plurality of operands of an arithmetic object, this circuit is provided with a floating point arithmetic part 10 for executing floating point arithmetic and a fixed point arithmetic part 20 for executing fixed point arithmetic, the same predetermined operation is executed to the operand of the arithmetic object by both the floating point arithmetic part 10 and the fixed point arithmetic part 20, the arithmetic results by means of the respective floating point arithmetic part 10 and the fixed point arithmetic part 20 are compared and when the respective arithmetic results are not matched, a signal reporting abnormality detection is outputted.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-318706

(P2002-318706A)

(43) 公開日 平成14年10月31日 (2002. 10. 31)

(51) Int.Cl.⁷

G 0 6 F 11/18

識別記号

3 1 0

F I

C 0 6 F 11/18

テームト* (参考)

3 1 0 A 5 B 0 3 4

審査請求 有 請求項の数 7 O L (全 6 頁)

(21) 出願番号 特願2001-122141 (P2001-122141)

(22) 出願日 平成13年4月20日 (2001. 4. 20)

(71) 出願人 000168285

エヌイーシーコンピュータテクノ株式会社
山梨県甲府市大津町1088-3

(72) 発明者 川口 忠春

山梨県甲府市大津町1088-3 甲府日本電
気株式会社内

(74) 代理人 100093595

弁理士 松本 正夫

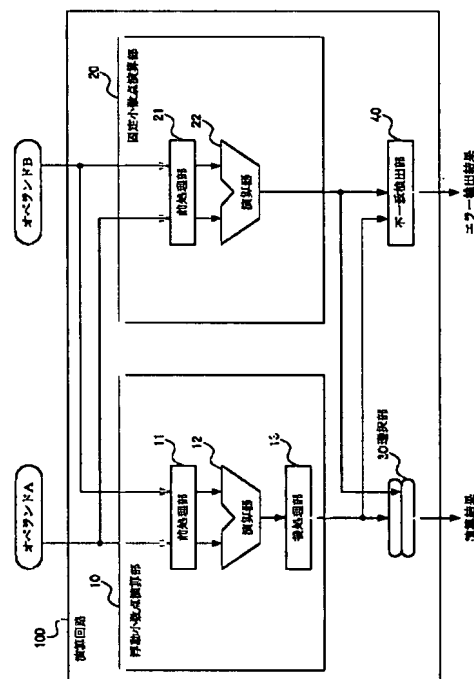
Fターム(参考) 5B034 AA01

(54) 【発明の名称】 演算回路とそのエラー検出方法

(57) 【要約】

【課題】 演算回路における演算の不正を、特別のハードウェアを新たに必要とすることなく、かつ演算を遅延させることなく検出するエラー検出方法を提供する。

【解決手段】 演算対象の1つ又は複数個のオペランドの入力を受け付けて定められた演算を実行し、演算結果を出力する演算回路100において、浮動小数点演算を実行する浮動小数点演算部10と、固定小数点演算を実行する固定小数点演算部20を備え、演算対象のオペランドに対して、浮動小数点演算部10と固定小数点演算部20との双方により予め定められた同一の演算を実行し、浮動小数点演算部10と固定小数点演算部20とのそれぞれによる演算結果を比較して、各演算結果が不一致の場合には異常検出を通知する信号を出力することを特徴とする。



【特許請求の範囲】

【請求項1】 演算対象の1つ又は複数個のオペランドの入力を受け付けて定められた演算を実行し、演算結果を出力する演算回路において、浮動小数点演算を実行する浮動小数点演算部と、固定小数点演算を実行する固定小数点演算部を備え、前記演算対象のオペランドに対して、前記浮動小数点演算部と前記固定小数点演算部との双方により予め定められた同一の演算を実行し、前記浮動小数点演算部と前記固定小数点演算部とのそれぞれによる演算結果を比較して、各前記演算結果が不一致の場合には異常検出を通知する信号を出力することを特徴とする演算回路。

【請求項2】 前記演算対象のオペランドを2種類の数値とし、前記浮動小数点演算部と前記固定小数点演算部との双方により実行する前記演算を、前記2種類の数値による加減算とすることを特徴とする請求項1に記載の演算回路。

【請求項3】 前記浮動小数点演算部と前記固定小数点演算部との双方により同一のオペランドにより行われた演算が、同符号の数値の加算処理及び異符号の数値の減算処理である場合に限り、前記浮動小数点演算部及び前記固定小数点演算部のそれぞれの演算結果を比較して、各前記演算結果が不一致の場合には異常検出を通知する信号を出力することを特徴とする請求項2に記載の演算回路。

【請求項4】 前記演算対象のオペランドに対して、前記浮動小数点演算部と前記固定小数点演算部との双方が、前記予め定められた同一の演算を並列処理するベクトル演算を実行することを特徴とする請求項1から請求項3のいずれか一つに記載の演算回路。

【請求項5】 演算対象の1つ又は複数個のオペランドの入力を受け付けて定められた演算を実行し演算結果を出力する演算回路の、前記演算結果の不正を検出するエラー検出方法において、前記演算回路は、浮動小数点演算を実行する浮動小数点演算部と、固定小数点演算を実行する固定小数点演算部を備え、前記演算対象のオペランドに対して、前記浮動小数点演算部と前記固定小数点演算部との双方により予め定められた同一の演算を実行し、前記浮動小数点演算部と前記固定小数点演算部とのそれぞれによる演算結果を比較して、各前記演算結果が不一致の場合には異常検出を通知する信号を出力することを特徴とするエラー検出方法。

【請求項6】 前記演算対象のオペランドを2種類の数値とし、前記浮動小数点演算部と前記固定小数点演算部との双方により実行する前記演算を、前記2種類の数値による加減算とすることを特徴とする請求項5に記載のエラー検出方法。

【請求項7】 前記浮動小数点演算部と前記固定小数点演算部との双方により同一のオペランドにより行われた演算が、同符号の数値の加算処理及び異符号の数値の減算処理である場合に限り、前記浮動小数点演算部及び前記固定小数点演算部のそれぞれの演算結果を比較して、各前記演算結果が不一致の場合には異常検出を通知する信号を出力することを特徴とする請求項6に記載のエラー検出方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、演算回路による演算結果のエラー検出に関し、特に、同一の演算を並行して多重に（又、2重に）実行し各演算結果が一致するかどうかを比較することにより演算結果のエラーを検出する演算回路とそのエラー検出方法に関する。

【0002】

【従来の技術】従来では、演算回路の演算結果のエラーを検出するためには、検査対象の演算回路に対してエラー検出のためのエラー検出の回路や装置を取り付けることにより、エラーの検出を行う。この従来の演算回路のエラー検出方法においては、具体的には例えば、演算対象データにパリティを付加し、演算機能におけるパリティ予測を行ない、その演算結果パリティと比較する等の方法によりエラーの検出を行っている。

【0003】

【発明が解決しようとする課題】上述したように従来の演算回路による演算結果のエラー検出では、以下に述べるような問題点があった。

【0004】近年LSIは、更なる高集積、高速化が要求されており、従来のエラー検出機能を備えるハードウェアを用いる方法では、検査対象の演算回路から外部のエラー検出回路等への分配遅延が増加することとなり、演算回路に要求される高い処理性能の達成に対して大きな障害となっている。

【0005】本発明の目的は、上記従来技術の欠点を解決し、従来の演算回路の設計を大きく変更することなく、演算結果のエラー検出のための機能を内蔵し、正確なエラー検出と高速な演算を実現する演算回路とそのエラー検出方法を提供することである。

【0006】

【課題を解決するための手段】上記目的を達成するため本発明の演算回路は、演算対象の1つ又は複数個のオペランドの入力を受け付けて定められた演算を実行し、演算結果を出力する演算回路において、浮動小数点演算を実行する浮動小数点演算部と、固定小数点演算を実行する固定小数点演算部を備え、前記演算対象のオペランドに対して、前記浮動小数点演算部と前記固定小数点演算部との双方により予め定められた同一の演算を実行し、前記浮動小数点演算部と前記固定小数点演算部とのそれぞれによる演算結果を比較して、各前記演算結果が不一

致の場合には異常検出を通知する信号を出力することを特徴とする。

【0007】請求項2の本発明の演算回路は、前記演算対象のオペランドを2種類の数値とし、前記浮動小数点演算部と前記固定小数点演算部との双方により実行する前記演算を、前記2種類の数値による加減算とすることを特徴とする。

【0008】請求項3の本発明の演算回路は、前記浮動小数点演算部と前記固定小数点演算部との双方により同一のオペランドにより行われた演算が、同符号の数値の加算処理及び異符号の数値の減算処理である場合に限り、前記浮動小数点演算部及び前記固定小数点演算部のそれぞれの演算結果を比較して、各前記演算結果が不一致の場合には異常検出を通知する信号を出力することを特徴とする。

【0009】請求項4の本発明の演算回路は、前記演算対象のオペランドに対して、前記浮動小数点演算部と前記固定小数点演算部との双方が、前記予め定められた同一の演算を並列処理するベクトル演算を実行することを特徴とする。

【0010】請求項5の本発明のエラー検出方法は、演算対象の1つ又は複数個のオペランドの入力を受け付けて定められた演算を実行し演算結果を出力する演算回路の、前記演算結果の不正を検出するエラー検出方法において、前記演算回路は、浮動小数点演算を実行する浮動小数点演算部と、固定小数点演算を実行する固定小数点演算部を備え、前記演算対象のオペランドに対して、前記浮動小数点演算部と前記固定小数点演算部との双方により予め定められた同一の演算を実行し、前記浮動小数点演算部と前記固定小数点演算部とのそれぞれによる演算結果を比較して、各前記演算結果が不一致の場合には異常検出を通知する信号を出力することを特徴とする。

【0011】請求項6の本発明のエラー検出方法は、前記演算対象のオペランドを2種類の数値とし、前記浮動小数点演算部と前記固定小数点演算部との双方により実行する前記演算を、前記2種類の数値による加減演算とすることを特徴とする。

【0012】請求項7の本発明のエラー検出方法は、前記浮動小数点演算部と前記固定小数点演算部との双方により同一のオペランドにより行われた演算が、同符号の数値の加算処理及び異符号の数値の減算処理である場合に限り、前記浮動小数点演算部及び前記固定小数点演算部のそれぞれの演算結果を比較して、各前記演算結果が不一致の場合には異常検出を通知する信号を出力することを特徴とする。

【0013】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0014】図1は、本発明の第1の実施の形態による演算回路100の構成を示すブロック図である。

【0015】本実施の形態の演算回路100は、図1に示されるように、浮動小数点演算を行なう浮動小数点演算部10と、固定小数点演算を行なう固定小数点演算部20とを備える。

【0016】本実施の形態の演算回路100は、指定された演算を、浮動小数点演算部10と固定小数点演算部20との双方により実行し、そして不一致検索部40は、浮動小数点演算部10と固定小数点演算部20とのそれぞれによる演算結果を比較して、各演算結果が不一致の場合には異常検出を通知する信号を出力する。選択部30は、浮動小数点演算部10と固定小数点演算部20とのそれぞれによる演算結果のいずれか一方を選択して、この演算回路100による演算結果として出力する。

【0017】また、全ての演算をこの浮動小数点演算部10と固定小数点演算部20との双方により実行するのではなく、指定された演算のみを浮動小数点演算部10と固定小数点演算部20との双方により実行し、不一致検索部40は、この浮動小数点演算部10と固定小数点演算部20において同一の演算が実行された場合に限り、その双方による演算結果の比較を行なうものとしてもよい。

【0018】更に、不一致検索部40は、この浮動小数点演算部10と固定小数点演算部20の双方により同一の演算が実行された場合であって、かつ“真の加算処理”等の予め指定した種類の演算が実行された場合に限り、その双方の演算部による演算結果の比較を行なうものとしてもよい。

【0019】以下本明細書においては、“真の加算処理”とは、2つの数値（オペランド）の加減演算における、同符号の数値の加算処理及び異符号の数値の減算処理を意味するものとする。つまり、真の加算処理は、数値の絶対値が増加する加減演算である。これは、真の加算処理ではない加減演算（つまり、異符号の加算処理と同符号の減算処理）においては、オペランドの有効桁数が大きく減少する場合（オペランドの絶対値がほぼ等しい場合）があるため、演算結果の不一致の比較対象から除外するのである。

【0020】なお、図1の演算回路100においては、オペランドAとオペランドBの2つのオペランドを用いる二項演算を行なう場合を例に示しているが、本発明の演算回路が実行する演算は二項演算に限る必要はなく、そのオペランドの数も2種類に限定する必要はない。

【0021】以下に述べる本発明の実施例においては、演算回路100内の浮動小数点演算部10と固定小数点演算部20を、オペランドAとオペランドBの加減演算を行なう回路とし、この双方の演算部10、20が真の加算処理である同一の演算を行なう場合に限り、不一致検索部40が演算結果のエラー検出を行なう方式を例に、本発明を説明する。

【0022】図1を参照すると、本実施例の演算回路100は、浮動小数点演算部10と固定小数点演算部20を備える。

【0023】2つのオペランドA、Bを示す信号は、浮動小数点演算部10と固定小数点演算部20に入力される。浮動小数点演算部10は、浮動小数点加算処理順に、桁あわせ処理を行なう前処理部11、演算器12、正規化処理を行なう後処理部13を備えており、2つのオペランドA、Bの入力を受けて浮動小数点演算（本実施例では加減算）を実行する。浮動小数点演算部10における、前処理部11の浮動小数点加算処理における桁あわせ処理の詳細、及び演算器12の浮動小数点加算処理における絶対値演算処理の詳細は、当業者によく知られているため、その詳細な説明は省略する。

【0024】固定小数点演算部20は、減算処理であれば減算のための2の補数を行なう前処理部21と、前処理済みデータを固定小数点加算する演算器22を備えており、2つのオペランドA、Bの入力を受けて固定小数点演算（本実施例では加減算）を実行する。

【0025】浮動小数点演算部10と固定小数点演算部20のそれぞれの演算結果は、選択部30と不一致検出部40とのそれぞれに出力される。そして、選択部30は、演算結果を受け付けて処理命令に従いどちらか一方を選択し、本実施例の演算回路100による演算結果として出力する。

【0026】一方、不一致検出部40は、浮動小数点演算部10と固定小数点演算部20のそれぞれの演算結果を比較して、不一致であるかどうかを調べることでエラー検出を行なう。ただし、本実施例においては、不一致検出部40によるエラー検出の処理は、双方の演算部10、20が真の加算処理である同一の演算を行なう場合に限り行なう。

【0027】この条件を満たすかどうかを判断するためには、例えば、不一致検出部40が、浮動小数点演算部10と固定小数点演算部20により演算された2つのオペランドの値が等しいことと、それぞれの演算器12により同一の真の加算処理（同符号の加算処理、又は異符号の減算処理）が行われたことを検出する等の方法により判断することができる。

【0028】そして、不一致検出部40は、このエラー検出を実行する条件が成立する場合においては、浮動小数点演算部10と固定小数点演算部20のそれぞれの演算結果を比較して不一致であるかどうかを調べ、もしそれぞれの演算結果が不一致の場合には、これをエラーと判断し異常検出を通知する信号（エラー検出信号）を出力する。

【0029】以上説明したように、本実施例の演算回路100によれば、浮動小数点と固定小数点との異種の演算処理部において共通する演算を行なう場合に、その双方の演算結果を用いてエラー検出を行なうため、専用の

エラー検出回路を設ける必要なく、他に特別のハードウェアを備える必要がない。このため、これらの外部のエラー検出回路への分配遅延が増加することなくエラーを検出することができる。また、選択部30による演算結果の出力は、不一致検出部40によるエラー検出の処理やその判定結果により遅延されないため、高速の演算が実現される。

【0030】以下、本実施例の演算回路100によるエラー検出の動作を説明する。

【0031】ここでは、オペランドA、Bによる数値の浮動小数点加算処理命令を処理する場合を例に説明する。つまり、浮動小数点演算の命令であるため、演算回路100からの出力には浮動小数点演算部10の演算結果を用い、固定小数点演算部20の演算結果はそのエラー検出のために用いる。

【0032】2つのオペランドA、Bを示す信号は、浮動小数点演算部10と固定小数点演算部20に供給される。そして、浮動小数点演算部10は、2つのオペランドA、Bのそれぞれを浮動小数点データと見なして、“符号部—指数部—仮数部”の形式により構成されるデータとして認識する。

【0033】浮動小数点演算部10の前処理部11は、2つのオペランドの指数部の差分だけ指数部の小さい方のオペランドの仮数部を右シフトして桁あわせし、演算器12に供給する。このとき2つのオペランドの指数部に差がない場合は、仮数部は右シフトしない状態により演算器12に供給する。

【0034】浮動小数点演算部10の演算器12は、桁あわせ後の2つのオペランドの仮数部を、浮動小数点加算命令でかつ2つのオペランドが同符号の場合、及び浮動小数点減算命令でかつ2つのオペランドが異符号の場合に、加算処理（真の加算処理）する。また、浮動小数点加算命令で2つのオペランドが異符号の場合、及び浮動小数点減算命令で2つのオペランドが同符号の場合には減算処理（真の減算処理）して正の値に変換する。このように本実施例の浮動小数点演算部10の演算器12は、2つのオペランドの絶対値演算処理を行なう。

【0035】そして、浮動小数点演算部10の後処理部13は、演算器12による演算が真の加算処理であったのか真の減算処理であったのかを不一致検出部40において識別させるために、絶対値演算の結果を、真の減算処理をした場合に仮数部先頭ビットを“1”とし、真の加算処理をした場合に仮数部先頭ビットを“0”として正規化処理する。後処理部13は、この正規化処理した浮動小数点加算結果を、選択部30と不一致検出部40に供給する。

【0036】次に、固定小数点演算部20においては、2つの入力オペランドA、Bを固定小数点データと見なす。固定小数点演算部20の前処理部21は、もし減算命令の場合には減算のための2の補数を取り、また加算

命令の場合には入力オペランドA、Bを加工せずに、これを演算器22に供給する。演算器22は、前処理部21から供給されるの2つのオペランドを、固定小数点演算し、演算結果を選択部30と不一致検出部40に供給する。

【0037】選択部30は、浮動小数点演算部10の浮動小数点演算結果と、固定小数点演算部20からの固定小数点演算結果の入力を受け付けて、出力する加算結果を選択し、本演算回路100の演算結果として出力する。ここで、演算回路100が受けた命令は、浮動小数点演算命令であったのであるから、この場合においては浮動小数点演算部10の浮動小数点演算結果を選択して出力する。また、同様に固定小数点命令を受けた場合には、固定小数点演算部20からの固定小数点演算結果を選択して出力する。

【0038】本実施例の不一致検出部40は、上記の選択部30の動作と並行して、浮動小数点演算部10の演算結果と、固定小数点演算部20の演算結果とを比較しその不一致を検出する。この不一致検出部40による、演算結果の不一致の検出方法としては、例えば、浮動小数点演算部10の浮動小数点加算結果の仮数部加算結果部分と、固定小数点演算部20からの固定小数点加算結果の内の浮動小数点加算結果の仮数部加算結果部分と同等ビット幅とを比較する等の方法が可能である。

【0039】不一致検出部40は、ここで演算結果の不一致が検出され、かつ浮動小数点演算部10と固定小数点演算部20がいずれも、同一の真の加算処理を行った演算結果である場合には、異常検出を通知するための不一致信号を生成し出力する。この不一致検出部40による、浮動小数点演算部10と固定小数点演算部20において同一の真の加算処理が行われたことの判定方法としては、浮動小数点演算部10において2つのオペランドの指数部に差がなく真の加算処理が行われたことと、固定小数点演算部20において固定小数点加算処理が行われたことを検出する等の方法が可能である。

【0040】以上好ましい実施の形態及び実施例をあげて本発明を説明したが、本発明は必ずしも上記実施の形態及び実施例に限定されるものではなく、その技術的思想の範囲内において様々に変形して実施することができる。

【0041】

【発明の効果】以上説明したように本発明の演算回路によれば、以下のような効果が達成される。

【0042】第1に、本発明の演算回路は、入力されるオペランドに対して、浮動小数点演算処理及び固定小数点演算処理の双方を並行して実行し、双方の検算結果を比較することによりエラーを検出する方式のため、従来の演算回路の設計を大きく変更する必要がなく、従来の演算回路において備える浮動小数点演算機能及び固定小数点演算機能をそのまま用いて、演算結果のエラー検出の機能を実現することができる。

【0043】第2に、本発明の演算回路は、演算結果の出力をそのエラー検出の処理のために遅延させることなく、演算部から出力された演算結果を直ちに出力する方式のため、きわめて高速な演算を実現することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態による演算回路の構成を示すブロック図である。

【符号の説明】

- 100 演算回路
- 10 浮動小数点演算部
- 11 前処理部
- 12 演算器
- 13 後処理部
- 20 固定小数点演算部
- 21 前処理部
- 22 演算器
- 30 選択部
- 40 不一致検出部

【図1】

